

scheda integrativa **5A** 1

Integrazioni sui flip-flop

Flip-flop SR temporizzati del tipo edge triggered

Un esempio di SRFF attivo su un fronte è riportato in **figura 1**.

In condizioni statiche del clock (fisso a livello *L* o *H*), qualunque sia il livello del *CK*, le NAND 3 e 4 hanno sempre le uscite a 1 perché *B* è sicuramente a 0. Questo vuole dire che *Q* e \bar{Q} sono bloccati (memorizzazione). Durante una transizione del clock da basso ad alto (**fig. 1b**), a causa del ritardo introdot-

to dal tempo di propagazione del NOT, esiste un breve periodo di tempo in cui *B* si trova a 1 abilitando le porte 3 e 4 e permettendo quindi ad *S* e *R* di arrivare complementati alle entrate dei NAND 5 e 6. Durante una transizione da alto a basso del clock (**fig. 1c**) il ritardo introdotto dal NOT non impedisce a *B* di rimanere sempre a 0 e quindi le uscite *Q* e \bar{Q} sono ancora bloccate (memorizzazione). Si può pertanto concludere dicendo che siamo in presenza di un SRFF con clock attivo sul fronte di salita e ingressi *S* e *R* attivi alti.

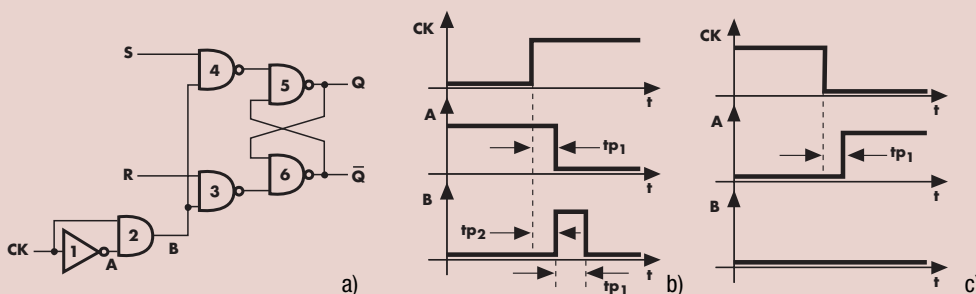


Figura 1 Flip-flop SR attivo sul fronte di salita (a), temporizzazioni in corrispondenza del fronte di salita di *CK* (b) e in corrispondenza del fronte di discesa (c).

Il flip-flop JK master-slave

La **figura 2** mette in evidenza la struttura tipica di un JKMSFF.

Come si vede, è composto da due latch di tipo JK, il primo con enable attivo alto e il secondo attivo basso. Durante il livello alto del *CK* il *master* (padrone) è abilitato e acquisisce i dati in ingresso e, in conseguenza, viene definito il suo stato in uscita; contemporaneamente lo *slave* (servo) è disabilitato. Durante il livello basso di *CK* il master è isolato dagli ingressi e lo slave riceve i dati dal master.

Il 7476 std. (*Manuale dei data sheet*, parte 5) è un esempio di IC commerciale che contiene due JKMSFF. La sequenza di funzionamento di questo FF (come di un qualunque JKMSFF) può essere descritta compiutamente attraverso l'individuazione su un impulso di clock di quattro istanti caratteristici (**fig. 2b**).

1) Inizia il fronte di salita e lo slave è separato dal master.

- 2) Praticamente raggiunto il livello alto, il master è abilitato a ricevere i dati, lo slave è ancora isolato.
- 3) Inizia il fronte di discesa e il master è isolato dagli ingressi.
- 4) A fronte di discesa praticamente concluso, e quindi dopo che il master è stato isolato dagli ingressi, lo slave riceve i dati.

Si osservi che, nonostante lo slave sia attivo sul livello basso di *CK*, in pratica è, entro certi limiti, come fosse attivo solo sul fronte di discesa; infatti, poiché in corrispondenza del livello basso di *CK* il master ha gli ingressi bloccati, il dato che si trasferisce allo slave, a inizio livello basso, non può più cambiare.

Coerentemente con queste ultime considerazioni il modo di rappresentare un JKMSFF coincide, nella simbologia classica, con quello usato per i JKFF edge triggered. Questi limiti simbolici, che non

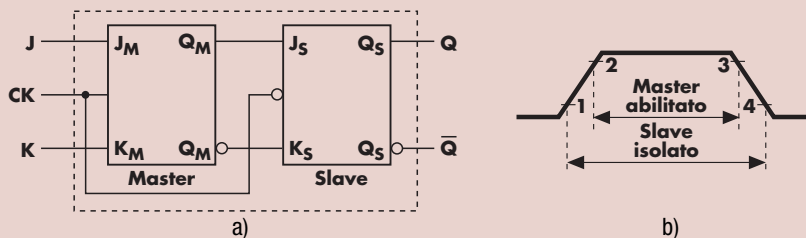


Figura 2 Struttura di un JKMSFF (a) e azione dell'impulso di clock (b).

permettono di distinguere tra i due tipi di JK, possono essere superati ricorrendo alle norme ANSI/IEEE (vedi seguito della scheda).

Si noti anche osservando le tabelle della verità del *Manuale dei data sheet* (parte 5) che il 7476, mentre nella versione standard è un master slave, nelle versioni LS e HC è un edge triggered; infatti nel primo caso il clock attivo è indicato con un impulso, per evidenziare che l'impulso nel suo insieme determina il funzionamento del FF (a partire dal fronte di salita si disabilita lo slave e si abilita il master, viceversa a partire dal fronte di discesa); nel secondo caso è invece indicato il fronte attivo del clock. Da queste ultime osservazioni dovrebbe essere chiaro perché i JKMSFF sono anche detti **pulse-triggered**.

Confronto tra flip-flop edge triggered e master-slave

In un edge triggered FF è importante che il fronte attivo del clock sia molto rapido, ovvero l'impulso deve presentare un tempo di salita limitato, in caso contrario il persistere di un fronte attivo per un tempo eccessivo potrebbe determinare un aumento del tempo di durata dell'abilitazione del latch interno, creando indeterminatezza sul valore in uscita (se, ad esempio, durante l'abilitazione del latch interno gli ingressi cambiano più volte). Si tenga comunque presente che i costruttori attuano diverse tecniche per rendere il tempo di attivazione del flip-flop il più breve possibile e indipendente dall'eventuale lentezza nella commutazione del *CK* e che quindi le versioni più recenti di FF edge triggered sono sostanzialmente immuni da questo problema, il che giustifica, nei dispositivi più recenti, l'abbandono della tecnica master-slave.

Il FF master-slave, grazie all'isolamento tra ingresso e uscita, prodotto dalla doppia struttura, non presenta questo inconveniente; per contro è importante che il livello attivo per il master del *CK* sia molto breve, in caso contrario si potrebbe avere ancora indeterminatezza sul valore in uscita. Si consideri, ad esempio, il JKMSFF 7476 e si supponga che sia $Q = 0$ con $J = K = 0$: se per un disturbo in *J* arriva un impulso positivo, il master cambia stato e il successivo ritorno di *J* a 0 non modifica le cose; se ora *CK* passa a livello basso, lo slave riceve e trasferisce in uscita un valore sbagliato (fig. 3). Per questa sua proprietà il MSFF è chiamato "cattura uno".

Una soluzione al problema si può ottenere ricorrendo a una variante della struttura master-slave che consiste nell'usare come master, al posto di un dispositivo level triggered, un dispositivo edge triggered: in questo modo, poiché il master è attivo solo sul fronte del clock, non è più possibile la cattura degli uno; flip-flop di questo tipo sono noti come **flip-flop master-slave data lock-out**.

Si deve anche osservare che evidentemente le soluzioni master-slave level triggered e data lock-out sono possibili anche per i flip-flop SR e D (e per il T che vedremo più avanti). In ultima analisi si tenga comunque presente che *nei flip-flop di più recente produzione la tecnica più usata è quella edge triggered*, che con le attuali soluzioni circuitali garantisce una sufficiente correttezza dello stato delle uscite.

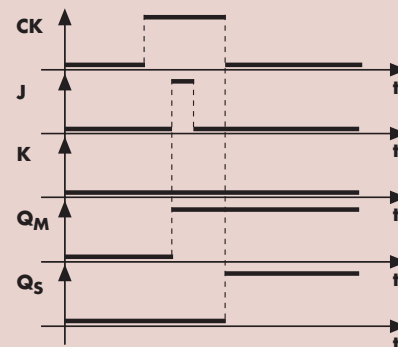


Figura 3 Il JKMS visto come "cattura uno".

Simbologia ANSI/IEEE

Il fatto che, come precedentemente detto a proposito dei JKFF master-slave, non sia possibile, ricorrendo ai simboli abituali, distinguere tra i diversi tipi di flip-flop JK è una conferma dei limiti di questa simbologia.

In figura 4 sono riportati i simboli ANSI/IEEE per i JKFF edge triggered, master-slave e data lock-out, supposti gli ingressi attivi alti. In particolare la figura 4a si riferisce al JK edge triggered attivo sul fronte di discesa del clock.

La figura 4b si riferisce invece a un master-slave che trasferisce il dato allo slave a partire dal fronte di discesa: si noti come il clock sia indicato senza il simbolo \triangleright , che indica che il clock è attivo sul fronte, e questo è coerente con il fatto che in effetti il clock abilita il master sul livello alto; che si tratti però di un JKFF, e non di un latch con enable, è deducibile dal simbolo \neg presente sulle uscite, che indica un ritardo tra ingresso e uscita (è il tempo che intercorre tra i due fronti del clock). La figura 4c si riferisce a un JK data lock-out: infatti sono contemporaneamente presenti sia il simbolo che indica che il clock è attivo sul fronte sia quello che indica il ritardo.

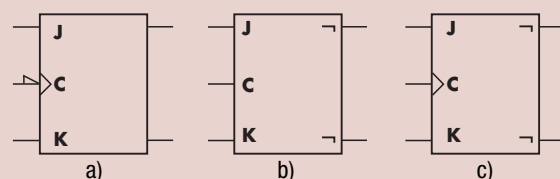


Figura 4 Simboli ANSI/IEEE per un JK edge triggered (a), un JK master slave (b) e un JK master slave data lock-out (c).