

scheda integrativa **4B** 1

I circuiti logici degli IC combinatori MSI

Analisi circuitale dei MUX

In **figura 1** è riportata una classica soluzione circuitale per il MUX di **figura 4** della sezione 4B a cui corrisponde l'espressione logica:

$$O = E \cdot \bar{S}_1 \cdot \bar{S}_0 \cdot I_0 + E \cdot \bar{S}_1 \cdot S_0 \cdot I_1 + E \cdot S_1 \cdot \bar{S}_0 \cdot I_2 + E \cdot S_1 \cdot S_0 \cdot I_3 \quad (1)$$

Come si vede, se $\bar{E} = 0$ l'uscita corrisponde all'ingresso selezionato tramite S_0 e S_1 , ovvero la (1) corrisponde alla tabella di **figura 1b**.

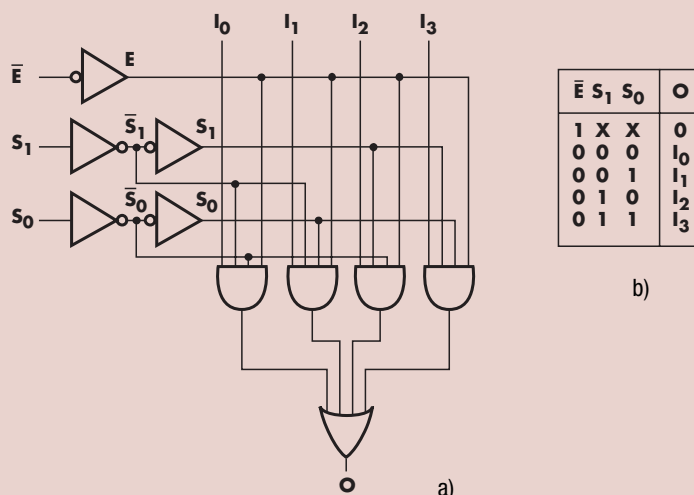


Figura 1 Soluzione circuitale di un MUX a quattro ingressi (a) e relativa tabella della verità (b).

In questa figura è possibile notare la coerenza della simbologia con quanto esposto nel paragrafo 1 della sezione 4B circa i livelli logici attivi. È anche interessante notare l'uso di due NOT in cascata per ogni ingresso di selezione, in alternativa al più semplice circuito di **figura 2**.

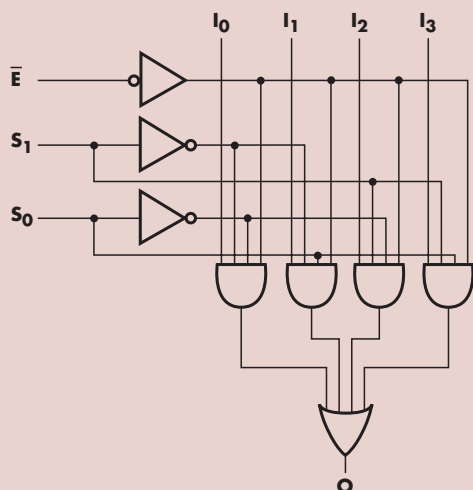


Figura 2 Soluzione meno valida per il MUX di **figura 1**.

La ragione di questa scelta deriva dal fatto che con il circuito di **figura 1** ogni ingresso di selezione lavora con la corrente di una sola porta (quella del NOT) mentre nel caso di **figura 2** la corrente è

quella di più porte (tre nell'esempio considerato). Il primo circuito permette quindi di fissare lo stesso valore di corrente per tutti gli ingressi del multiplexer, garantendo così uniformità nello standard della famiglia digitale.

Analisi circuitale dei DEMUX

In **figura 3** è riportata una possibile soluzione circuitale per il DEMUX di **figura 9** della sezione 4B; come si vede, il circuito di un DEMUX è facilmente ricavabile da quello di un MUX: basta eliminare l'OR in uscita e unire tutti gli ingressi I_i (si confronti la **figura 3** con la **figura 1a**).

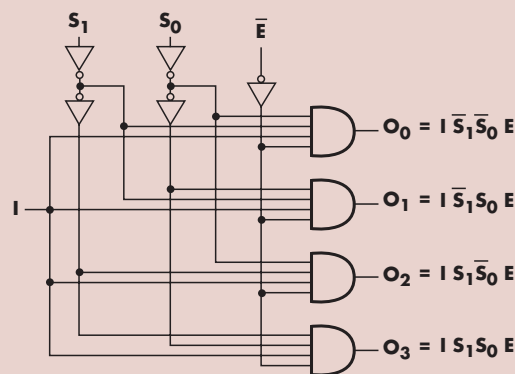


Figura 3 Possibile soluzione circuitale di un DEMUX a 4 uscite.

Analisi circuitale degli encoder

Facendo riferimento alla **figura 12** della sezione 4B e supposto che sia l'1 lo stato attivo degli ingressi e che sia attivo un solo ingresso alla volta, si vede che l'uscita O_0 va a 1 ogni volta che è attivo uno degli ingressi I_1, I_3, I_5, I_7 e I_9 ovvero risulta:

$$O_0 = I_1 + I_3 + I_5 + I_7 + I_9 \quad (2)$$

Analogamente per gli altri ingressi risulta:

$$O_1 = I_2 + I_3 + I_6 + I_7 \quad (3)$$

$$O_2 = I_4 + I_5 + I_6 + I_7 \quad (4)$$

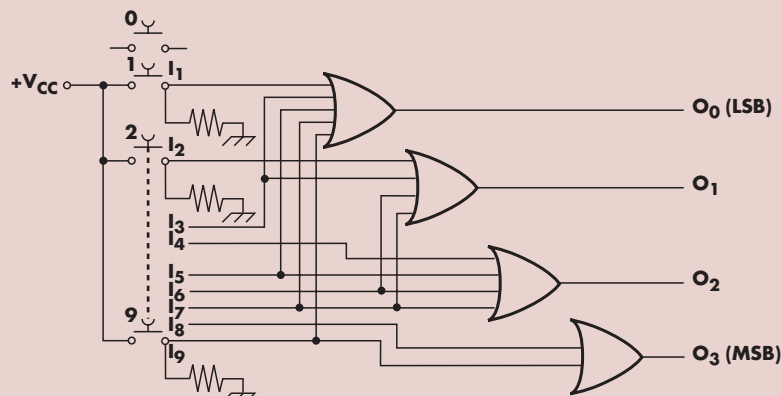


Figura 4 Circuito di un encoder decimale BCD.

Analisi circuitale dei decoder

In termini logici alla tabella della verità di **tabella 11** della sezione 4B corrispondono le seguenti espressioni (ogni uscita ha un solo 1 ovvero un solo mintermine):

$$\begin{aligned} O_0 &= \bar{I}_3 \bar{I}_2 \bar{I}_1 \bar{I}_0; & O_1 &= \bar{I}_3 \bar{I}_2 \bar{I}_1 I_0; & O_2 &= \bar{I}_3 \bar{I}_2 I_1 \bar{I}_0; \\ O_3 &= \bar{I}_3 \bar{I}_2 I_1 I_0; & O_4 &= \bar{I}_3 I_2 \bar{I}_1 \bar{I}_0; & O_5 &= \bar{I}_3 I_2 \bar{I}_1 I_0; \\ O_6 &= \bar{I}_3 I_2 I_1 \bar{I}_0; & O_7 &= \bar{I}_3 I_2 I_1 I_0; & O_8 &= I_3 \bar{I}_2 \bar{I}_1 \bar{I}_0; \\ O_9 &= I_3 \bar{I}_2 \bar{I}_1 I_0. \end{aligned} \quad (6)$$

Le espressioni (6) sono state scritte supponendo che in presenza di combinazioni di ingresso indesiderate (oltre il nove in binario) le uscite rimangano a 0 (basta realizzare i circuiti corrispondenti alle singole espressioni); se si suppone che le combinazioni indesiderate non si verifichino, siamo in presenza di condizioni di indifferenza che permettono una maggiore minimizzazione rispetto a quanto ottenibile dalle (6).

Se invece serve un decoder da binario a esadecimale (da 4 a 16) basta aggiungere alle (6) le espressioni seguenti (e realizzare i relativi circuiti):

$$\begin{aligned} O_{10} &= I_3 \bar{I}_2 \bar{I}_1 \bar{I}_0; & O_{11} &= I_3 \bar{I}_2 \bar{I}_1 I_0; & O_{12} &= I_3 I_2 \bar{I}_1 \bar{I}_0; \\ O_{13} &= I_3 I_2 \bar{I}_1 I_0; & O_{14} &= I_3 I_2 I_1 \bar{I}_0; & O_{15} &= I_3 I_2 I_1 I_0. \end{aligned} \quad (7)$$

Per quanto sin qui detto, la struttura circuitale di

$$O_3 = I_8 + I_9 \quad (5)$$

Il circuito di **figura 4**, con gli ingressi ottenuti tramite i pulsanti di una tastiera (è il caso applicativo più immediato), realizza pertanto l'encoder di **figura 12** (sezione 4B).

Si noti in particolare che l'ingresso I_0 non interviene nella realizzazione della rete combinatoria, infatti con l'ipotesi fatta di avere un solo ingresso attivo alla volta, se $I_0 = 1$ vuole dire che tutti gli altri ingressi sono a 0 e quindi l'informazione relativa a I_0 è dedotta dallo stato assunto dagli altri ingressi.

un decoder è del tipo riportato in **figura 5** (riferita al caso da 2 a 4).

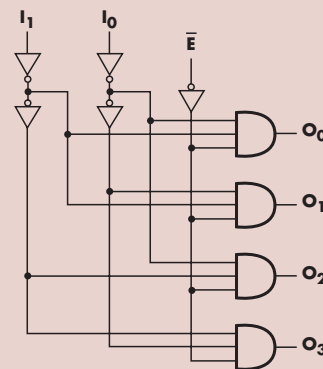


Figura 5 Decoder binario da 2 a 4.

Si noti come circuitalmente il decoder possa farsi risalire dal demultiplexer: se in un demultiplexer si elimina l'ingresso di segnale e si interpretano gli ingressi S_i come ingressi I_i , si ottiene un decoder (si confronti la **figura 5** con la **figura 3**; in alternativa si può pensare l'ingresso di segnale del DEMUX come un enable del decoder).

Normalmente nei decoder commerciali le AND sono sostituite da NAND e quindi le uscite risultano attive basse (vedere i data sheet; al riguardo si osservi che tutti gli IC già visti come DEMUX sono anche usabili come decoder).